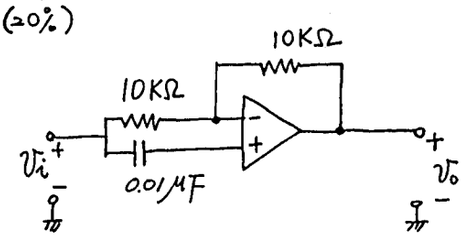
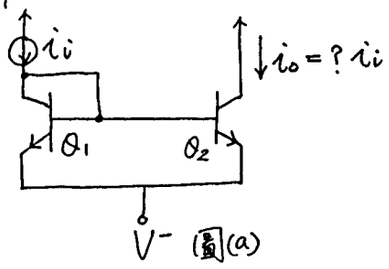
1. 如下圖所示：在 $\omega = 5000$ rad/s 之情況下，求 V_o/V_i 的大小及相位角 i.e. $|V_o/V_i| = ? \ \phi = ?$ (20%)

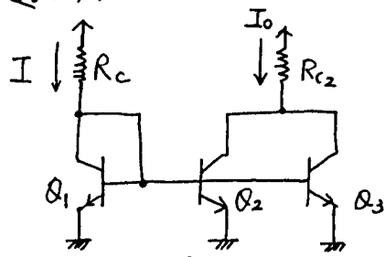


2. (a) 說明圖(a)中，i_o 和 i_i 之關係，請以 $i_o = f(i_i, \beta)$ 之方程式表示出，設所有電晶體的 β 均一致。(10%)



圖(a)

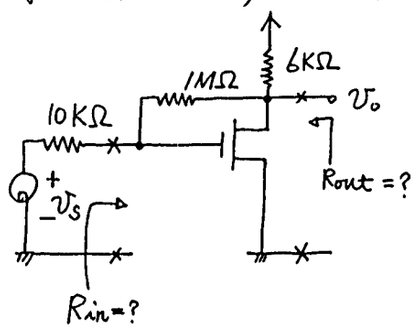
(b) 以上圖中之結果來估計圖(b)中 I_o 和 I 之關係，i.e. $I_o = ? I$，請繪圖略加敘述。(5%)



圖(b)

(c) 說明上圖(a)(b)線路之名稱為何，主要用途為何？ 5%

3. 下圖中設 $g_m = 1$ mA/V，利用回授(feedback)方法求：$V_o/V_s = ?$ (10%)，$R_{in} = ?$ (5%)，$R_{out} = ?$ (5%) (20%)



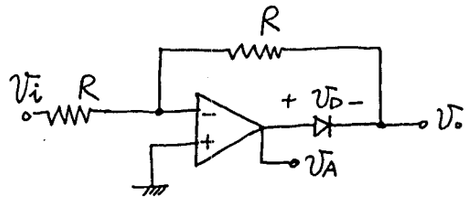
4. 如下圖設 $V_D = 0.7$V，運算放大器之飽和電壓為 ±10V，請求：

(a) 繪出 V_o/V_i 之傳輸特性曲線 (transfer characteristic) (5%)

(b) 繪出 V_A/V_i 之傳輸特性曲線 (transfer characteristic) (5%)

(c) 如 $V_i = 5V\sin(\omega t)$，則繪圖表示 V_o (5%)

(d) 當 $V_i = +5$V 時，求 $V_o = ?$ $V_1 = ?$
當 $V_i = -5$V 時，求 $V_o = ?$ $V_1 = ?$ (5%)



5. 請用 1 個 AND gate 及 3 個 clocked J-K Flip-Flop 設計一 modulo 5 之 Counter。(20%)