

(乙)

1. 關於 npn 電晶體的偏壓 (biasing), 大略可分為三種方式: 1. 固定偏壓 (fixed biased), 如圖 (a), 2. 集極回授偏壓 (Collector Feedback biased), 如圖 (b), 3. 自身偏壓 (self-biased), 如圖 (c). 試說明此三種偏壓方式下, 電晶體的 β 值對 I_c 及偏壓穩定之影響。(20%)

(註: 圖中均設 V_{BE} 為定值)

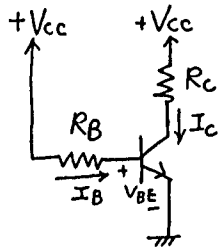


圖 (a).

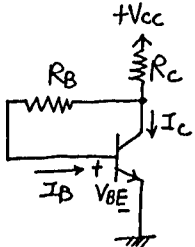


圖 (b).

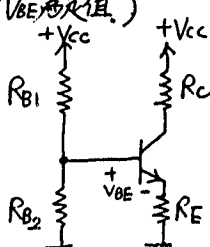


圖 (c).

2. 有一放大器 (Amplifier), 其電壓傳輸函數 (Voltage Transfer function) 為

$$T(s) = \frac{10S}{(1 + S/10^2)(1 + S/10^5)}$$

請問: (a) Poles 及 Zeros 各為多少? (5%)

(b) 此線路穩定嗎? 為何? (5%)

(c) 請繪出 gain 的 magnitude 及 phase 之 Bode Plot. (10%)

3. 試說明回授技術 (feedback technique) 對線路的

(a) Gain Sensitivity (change due to the change of basic amplifier).

(b) Bandwidth of frequency response.

(c) Nonlinear Distortion.

(d) Noise. (各 5%, 計 20%)

之影響。

(乙)

4. 圖中為所謂的超級二極體 (super diode) 及共模運算線路。

(10%) (a) 請繪出 V_o versus V_i transfer characteristic. (a) (b) 二圖均繪並說明之。

(5%) (b) 圖(a)之線路常處於飽和, 並易燒毀, 為何?

(5%) (c) 圖(b)之線路改進了圖(a)之缺點, 為何?

設 $A_{oc} \rightarrow \infty$

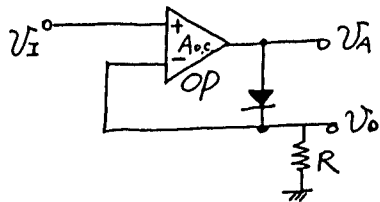


圖 (a)

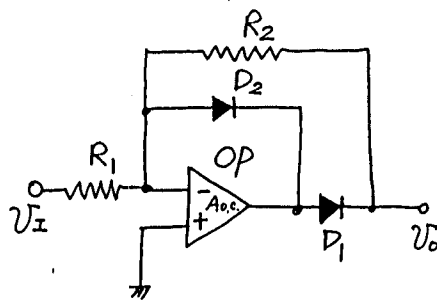


圖 (b)

5. 有一 state machine 之 state transition table 如下, 請以 clocked J-K flip-flop

設計之。限制: 用 \square = flip-flop, \square = inverter, \square = AND gate, \square = NAND gate, \square = XOR gate. (20%)

state	input	
	ϕ	χ
A	A/ ϕ	B/ ϕ
B	A/ ϕ	C/ χ
C	B/ ϕ	D/ ϕ
D	C/ χ	D/ ϕ

每-term 表示 next state/output
output name 請用 z.